

10 Gb/s 串行接口发送端电路的设计

马 轩,王自强

(清华大学 微电子所, 北京 100084)

摘 要: 介绍了一个高速多通道 SerDes 发送端系统的设计. 设计采用 65 nm CMOS 工艺, 单通道数据率为 10 Gb/s. 数据通道由一个全速率并串转换 Mux 电路和一个 CML 驱动器组成; 在并串转换电路的高速部分, 为了节省功耗和面积, 采用 TSPC 型的锁存器和触发器代替 CML 型结构; 输出驱动器采用 CML 结构, 并加入一个四抽头的前馈均衡电路以减小数据信号码间串扰的影响; 最后为了使信号能够无反射地进行传输, 设计了阻抗匹配电路.

关键词: 高速串行; 并串转换; 驱动器; 前馈均衡器; 阻抗匹配

中图分类号: TN43

文献标识码: A

文章编号: 1000-7180(2014)02-0014-04

Circuit Design for Transmitter System of 10 Gb/s SerDes

MA Xuan, WANG Zi-qiang

(Institute of Microelectronics, Tsinghua University, Beijing 10084, China)

Abstract: In this paper, a design for the transmitter system of multi-channel high speed SerDes is presented. It's realized in 65 nm CMOS process and the data rate of a single lane is 10 Gb/s. The data lane circuit consists of a full-rate MUX and a CML driver; The MUX is adopted the structure with TSPC latches and TSPC D-flip-flops (DFF) instead of CML circuits in the high speed stages to save power and area. The driver is made of CML structure, and a 4 tap feed-forward equalization (FFE) is applied in the driver to reduce the influence of ISI; Finally, the impedance matching circuit is used to avoid signal reflection in the channel.

Key words: High speed serial link; Mux; Driver; FFE; Impedance matching

1 引言

如今, 高速串行接口技术已经广泛应用于通信、网络和计算机等各个领域. 为了进一步提高传输效率, 高速串行接口也由单通道向着多通道发展, 而且单通道的数据率已经从 1 Gb/s 提高到 10 Gb/s 甚至更高^[1].

本文在详细介绍高速多通道 SerDes 发送端系统总体架构的基础上, 对发送端数据通道中的各个电路模块的设计进行了分析与探讨, 最后给出系统的综合仿真结果.

2 多通道发送端系统架构

当传输数据速率很高时, SerDes 整体架构通常

会采用前向时钟的形式^[2]. 在这样的架构中, 数据与时钟通过不同的信道由发送端传向接收端. 对于多通道设计而言, 由于多通道数据信号都要在接收端通过参考时钟恢复出来, 这时, 如果采用前向时钟的系统架构, 多通道数据信息以前向时钟通道传来的时钟作为参考信号进行时钟数据恢复操作. 采用这样的架构会有很好的系统抖动性能, 这是由于从发送端传出来的数据与前向时钟具有相关性, 在接收端看来, 数据与时钟之间的相对抖动较小. 因此, 本设计高速多通道 SerDes 就采用这样的架构.

根据前向时钟形式架构要求, 相应的发送端系统结构如图 1 所示.

整个发送端系统分为共用电路和数据输出通道 (五条数据通道和一条前向时钟通道) 两个部分. 共

收稿日期: 2013-04-23; 修回日期: 2013-06-12

基金项目: 国家科技重大专项“核高基”项目(2011ZX01034-002-002-001)

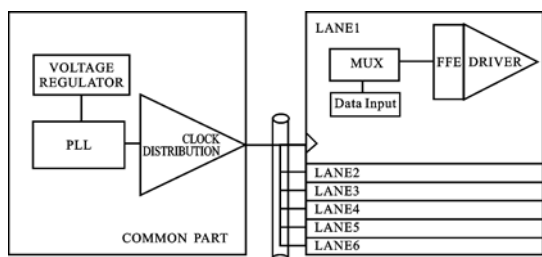


图 1 多通道 SerDes 发送端系统架构

用电路包括带隙基准、稳压电源、偏置产生电路、锁相环和时钟分配网络。其中，锁相环是时钟产生电路，输出为 5 GHz 的差分时钟，该时钟通过时钟分配网络用于各条通道中电路模块工作，同时作为前向时钟信号与串行数据信号共同发送到输出端。每条数据输出通道都包括并串转换器（Mux）、前馈均衡（FFE）、输出驱动器（Driver）和阻抗匹配模块^[3]。

3 发送端数据通路的电路设计

3.1 并串转换器 (Mux)

Serdes 中，发送端电路需要把多路并行的低数据率信号转换成一路串行的高数据率信号，再经过驱动后送入信道中进行传输，这个过程称之为多路复接（Multiplexing）。而在接收端，需要将恢复再生后的串行数据信号转换为原始的几路低数据率信号，这个相反的过程称为分接（Demultiplexing）。并串转换（Mux）电路用来实现多路复接功能。本设计 Mux 将 312.5 Mb/s 的 32 路并行数据提速成 1 路 10 Gb/s 的串行数据，同时对数据进行延时处理，为后续 FFE 预加重准备数据。电路模块整体结构如图 2 所示。

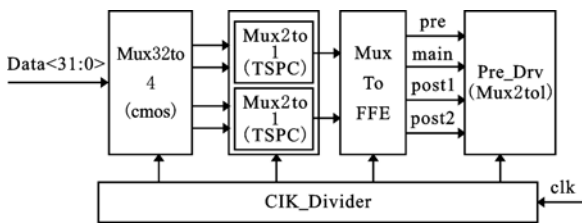


图 2 并串转换电路总体结构图

Mux 采用树形结构，以 Mux2to1 为基本单元，逐级实现串化数据的功能。其中，Mux32to4 模块采用传统的 CMOS 触发器及锁存器，Mux4to2 模块则采用 TSPC 型触发器及锁存器。MuxToFFE 模块的作用是对 Mux 输出的数据进行延时处理，为后续 Mux2to1 及 FFE 准备数据。Pre_Drv (Mux2to1) 将经过延时的数据进行最后一级 Mux，得到 10 Gb/s 的各个抽头串行数据。Clk_Divider 模块为时钟分频链路，为以上各个模块提供采样参考时钟。

首先分析 Mux2to1 单元模块的原理。Mux2to1 电路的结构如图 3 所示。

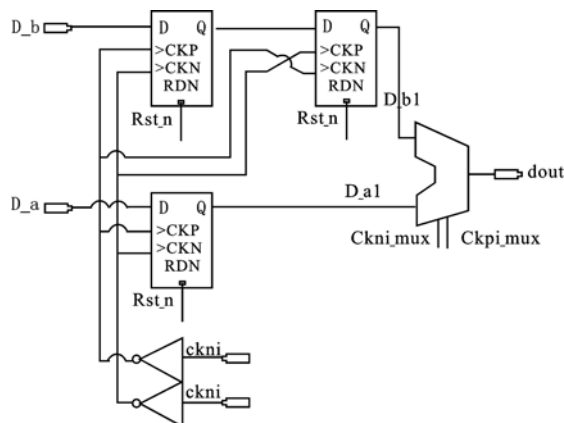


图 3 Mux2to1 单元模块结构图

Mux2to1 单元电路由两个 DFF、一个 Latch 和一个选择器构成。数据 D_a 路通过 DFF，被采在时钟的上升沿，且数据脉冲宽度为一个 UI；而另一路数据 D_b 路通过第一个 DFF 将数据在时钟上升沿采下，再通过一个由 ckni 触发的 Latch，将数据延时半个 UI，锁存于时钟的下降沿，脉冲宽度仍为一个 UI。然后将两个数据接至一个二选一的数据选择器，当时钟 ckni 为高电平时，数据 D_b 被采样；而当时钟 ckpi 为低电平时，数据 D_a 被采样。从而实现将两路数据变为一路数据，数据速率变为原来两倍的功能。

对于 Mux32to4，由于其工作速度最高是 2.5 GHz，我们可以使用 65 nm 工艺提供的数字标准单元库中锁存器和触发器来实现 Mux2to1 模块，进而采用以此为基本单元的树形结构，通过 Mux32to16、Mux16to8 和 Mux8to4 逐级串化，最终得到 2.5 GHz 的 4 路数据。电路结构如图 4 所示。

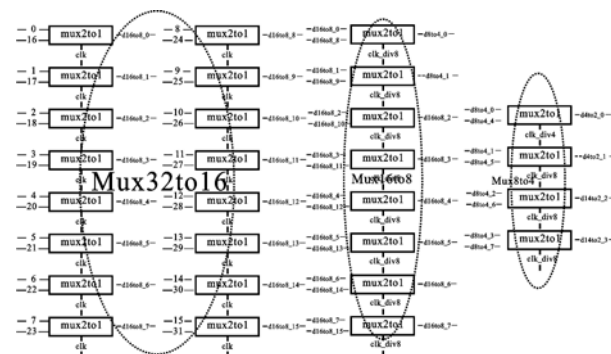


图 4 Mux32to4 单元模块结构图

而对于工作速率为 5 GHz 的 Mux4to2 模块，需要使用一些其他结构的锁存器和触发器来满足高速电路的需求。高速 Mux 设计通常会采用 CML 结

构来满足电路的时序要求,但是由于 CML 电路功耗大,面积也较大,因此采用 TSPC 结构替代. TSPC 触发器的 CLK 到 Q 传播延时是三个反相器的延时,建立时间是一个反相器的延时,与传统 CMOS 主从触发器相比,速度更快,更容易工作在高频.另外, TSPC 触发器时钟负载也相对较轻,适于此处的高速 Mux 设计.

TSPC 触发器结构如图 5 所示. 当 CLK=0 时, 输入反相器在节点 A 处得到 D 的反相. 此时, M6 打开, 将节点 B 充电至 VDD, M8 和 M9 关断, 第三级反相器处于保持状态, 因此输出 Q 维持原来的值. 当时钟上升沿到来时, 动态反相器 M4 和 M6 求值. 如果 A 为高电平, 那么节点 B 放电, 同时第三级导通, 在 B 节点上的值传送到输出 Q. 如果 A 为低电平, 则 B 节点不放电, 直接通过两级反相器将结果输出至 Q. 经过电路后仿真, 所设计的 TSPC 时序参数结果如表 1 所示.

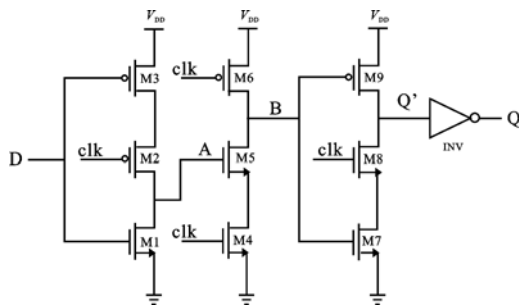


图 5 TSPC 触发器结构图

表 1 TSPC 触发器参数指标仿真结果

工艺角/温度	电压/V	0 的 C-Q	1 的 C-Q	建立时间/ps	保持时间/ps
ss	85	1.08	59.71	42.16	43
tt	27	1.2	41.43	26.81	28
ff	-40	1.32	29.46	18.53	19

Mux4to2 模块工作在 5 GHz 的频率, 此时数据 UI 为 200 ps, 由上表可以看出, TSPC 触发器的各项参数指标满足 Mux4to2 电路的时序要求.

Pre_Drv(Mux2to1)是整个 Mux 电路的最后一级, 与之前的结构不同, 这里不再采用触发器实现, 而是通过组合逻辑电路完成复接功能. MuxtoFFE 模块输出的四组相互差一个 UI 的数据, 经过与时钟运算的组合逻辑电路, 实现最后一级高速 Mux, 结构如图 6 所示.

图 6 结构为其中一个 Tap 的 Mux2to1 电路结构. 其中交叉耦合的传输门与反相器共同起到校正占空比失真的作用. 它与通常的 Mux2to1 模块类

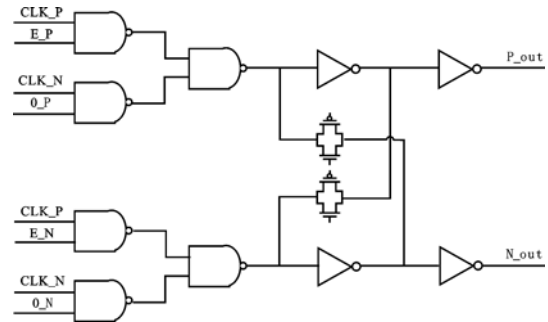


图 6 Pre_Drv(Mux2to1)模块结构图

似, 只是此处的数据已经相差半个时钟周期 (由 MuxtoFFE 模块完成), 无须 latch 再次延时.

3.2 具有前馈均衡(FFE)功能的 CML 驱动器

I/O 驱动电路是将发送端输出的数据信号以最大功率耦合到信道上的模块. CML 是常见的一种驱动接口类型, 它采用的是差分的电流传输模式. 由于 CML 结构的信号输出摆幅与 CMOS 电路相比要小很多, 而且 CML 结构的电路功耗主要由其尾电流源的电流大小决定, 当工作频率升高时, 只要保持其尾电流源的电流不变, 功耗就不会随着频率的升高而增大. 因此, CML 电路非常适合作为追求低功耗设计的高速串行通信接口的输出驱动结构.

经过长距离传输后, 在接受端得到的经常是衰减后的、有码间串扰的非理想信号, 如果不采用一些特殊的技术, 在接收端看到的数据眼图很可能已经闭合. 为了避免这样的问题出现, 通常会采用均衡技术来补偿信道中产生的高频损失, 从而使在接收端得到的数据可以正确恢复出来. 发送端的前馈均衡电路(FFE)可以用有多个抽头的有限冲激响应滤波器(FIR)来实现. 抽头的多少和抽头系数决定了均衡强度的大小. 因此可以根据信道的衰减特性, 选择适当的均衡参数^[4]. 具有 FFE 功能的 CML 驱动器整体结构如图 7 所示.

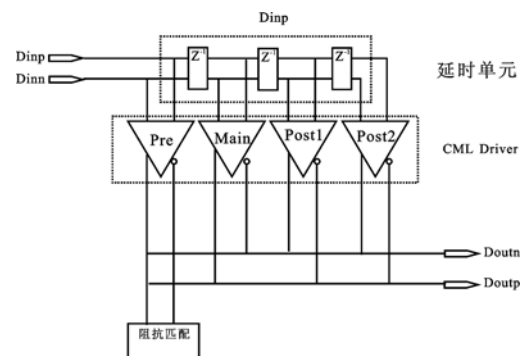


图 7 具有 FFE 功能的 CML 驱动器结构图

FIR 滤波器四个抽头数据之间的延迟为一个数据 UI, 延迟是由 Mux 电路中的 MuxtoFFE 模块实

现的.每个抽头根据系数控制一定的 CML buffer 尾电流源的通断.其中,Main 决定了输出信号的主要摆幅范围,而 Pre、Post1 和 Post2 为强度受控制的反相信号,这样形成的信号波形叠加在 Main 决定的主要信号幅度上,在信号数据发生跳变时,形成一个过冲,进而增加信号高频能量,达到预加重的效果.发送端均衡可以补偿信号在信道中的高频损失,而且 FIR 滤波器的抽头数越多,均衡效果也应该越好,但是,在增加抽头数的同时,也应该意识到,当抽头数越多时,用到的 CML buffer 也越来越多,输出节点的电容也相应变大,会影响到电路的性能.因此,在决定均衡的抽头数时,需要折中考虑.

数据信号在信道上传播时,有可能发生发射,出现信号完整性问题.为了使信号无反射地进行传输,就必须做终端阻抗匹配,使得终端输出阻抗与信道的特性阻抗相等^[5].本次设计的阻抗匹配模块是一个精度为 6 位的电阻阵列,通过数字配置实现精确的阻值来匹配信道的特性阻抗.其中,电阻阵列的每一个小单元由一个阻值固定的多晶硅电阻和一个 NMOS 管串联构成.NMOS 管的导通和截止作为开关决定了最终匹配电阻的大小.

4 系统仿真验证

电路及版图设计完成 DRC 和 LVS 验证后,提取寄生参数进行后仿真.本次系统仿真主要考察驱动接口电路输出数据的均衡状况及经过信道之后的抖动性能.

图 8 所示为经过一定的发送端均衡后,CML 驱动电路的输出波形.可以看出,在数据信号跳变时,均衡对信号幅度产生了一定的过冲,增加了高频分量.另外,由于输入的 32 位并行数据为 1011001111000111110000111110000010,图中结果也很好显示了 Mux 模块串化复接的功能正确.选取这样的一串输入数据,它们之间高电平与低电平变化明显,并且有规律的周期性,可以很容易看出在时序最短的一个数据 UI 内,电路仍能正确翻转.

图 9 所示为在 tt corner(即 MOS 管在 typical 状态下工作,电源电压为 1.2 V,温度为 27 °C),负载接传输线模型的情况下,数据及时钟经过信道后的眼图结果.由图 9 可知,输出数据的抖动约为 19.1 ps,输出时钟的抖动约为 8.5 ps.分别在 ff corner(即 MOS 管在 fast 状态下工作,电源电压为 1.32 V,温度为 -40 °C)和 ss corner(即 MOS 管在 slow 状态下工作,电源电压为 1.08 V,温度为 125

°C)下进行后仿真,得到的结果如表 2 所示.

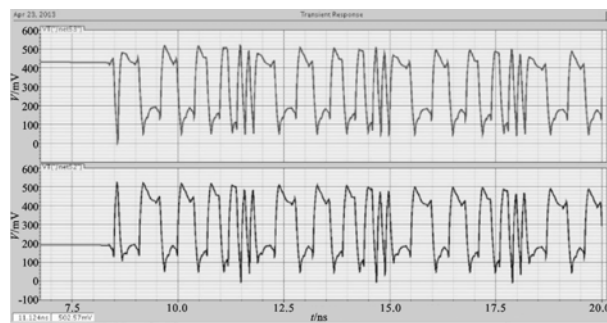


图 8 经过均衡后发送端驱动电路输出波形

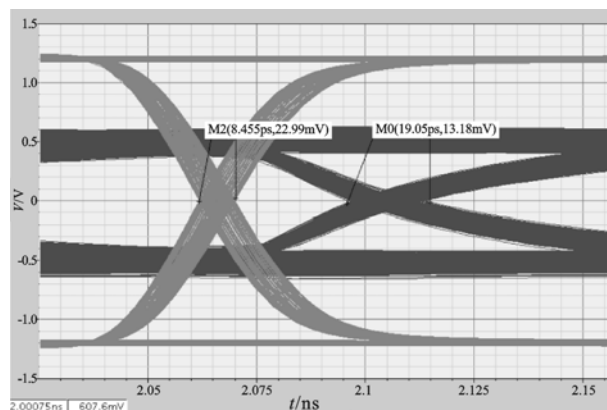


图 9 负载接传输线模型时输出数据及时钟的眼图(tt)

表 2 不同 corner 下抖动性能仿真结果

corner	时钟抖动/ps	数据抖动/ps
tt corner	8.5	19.1
ff corner	7.7	16.7
ss corner	10.3	22.1

5 结束语

本文描述了一个采用 65 nm CMOS 工艺设计的 10 Gb/s 高速多通道串行接口发送端系统.为了节省功耗和面积,Mux 的高速级采用速度更快的 TSPC 型锁存器和触发器;CML 驱动器中引入 FFE 以补偿信号经过信道后的高频损失;阻抗匹配电路则使信号能够无反射地进行传输.仿真结果表明,当系统数据率为 10 Gb/s 时,Mux 电路功能正确,驱动器输出结果预加重效果明显,系统抖动性能亦在可接受范围.

参考文献:

- [1] Reutemann, Ruegg, Keyser, et al. A 4.5 mW/Gb/s 6.4Gb/s 22+1-Lane source synchronous receiver core with optional cleanup PLL in 65nm CMOS[J]. IEEE J. Solid-State Circuits, 2010, 45(12):2850-2860.

(下转第 22 页)

- 京:中国水利水电出版社,2009.
- [2] Sheaffer J W, Luebke D P. A hardware redundancy and recovery mechanism for reliable scientific computation on graphics processors [C]// Timo Aila, Mark Segal. GraphicsHardware, California;Siggraph, 2007: 55-64.
- [3] Ameya V A. Performance cost analysis of software implement hardware fault tolerance technique[D]. Madison: University of Wisconsin Madison, 2010.
- [4] Nvidia C. NVIDIA's next generation CUDA compute architecture:FERMI[J]. Computer system, 2009(26): 63-72.
- [5] Kanter D. NVIDIA's GT200:Inside a parallel processor [J]. Real world technologies, 2008(1):1-12.
- [6] Avizienis A. Design of fault tolerant computers [C]//Fall joint computer conference. ACM, 1967: 733-743.
- [7] 贾佳,杨学军. 异构系统硬件故障传播行为分析及容错优化[J]. Journal of Software, 2011, 22(12): 2854-2864.
- [8] 徐新海,杨学军. 一种面向 CPU-GPU 异构系统的容错方法[J]. 软件学报, 2011, 22(10):2538-2552.
- [9] 王攀峰. 应用级 checkpointing 技术研究[实现[D]. 长沙:国防科学技术大学, 2008.
- [10] 马安国. GPGPU 体系结构关键技术研究[D]. 长沙:国防科学技术大学, 2011.

作者简介:



徐丹妮 女, (1989—), 硕士. 研究方向为计算机控制、GPU 架构.

贾占庄 男, (1962—), 总工程师, 博士生导师, 研究员. 研究方向为计算机控制技术、IP 核设计等.

(上接第 17 页)

- [2] Frank O' Mahony, Jaussi, Kennedy, et al. A 47 * 10 Gb/s 1.4 mW/Gb/s parallel interface in 45nm CMOS [J]. IEEE J. Solid-State Circuits, 2010, 45(12):2828-2837.
- [3] Kurd N, Mosalikanti, Neidengard, et al. Next generation Intelore micro-architecture (Ne-halem) clocking [J]. IEEE J. Solid-State Circuits, 2009, 44 (4): 1121-1129.
- [4] Beukema, Sorna, Selander, et al. A 6.4-Gb/s CMOS SerDes core with feed-forward and decision-feedback equalization[J]. IEEE J. Solid-State Circuits, 2005, 40 (12):2633- 2645.
- [5] Chih Hsien Lin, Chih-Ning Chen, Shyh-Jye Jou. Adaptive on-die termination resistors for high-speed transceiver[C]//VLSI Design, Automation and Test. Taiwan:Chungli, 2005.

作者简介:

马 轩 男, (1989—), 硕士研究生. 研究方向为高速串行接口芯片设计.

王自强 男, (1975—), 博士生研究生, 讲师. 研究方向为模拟集成电路设计、高速串行接口芯片设计.